

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 01157108
PUBLICATION DATE : 20-06-89

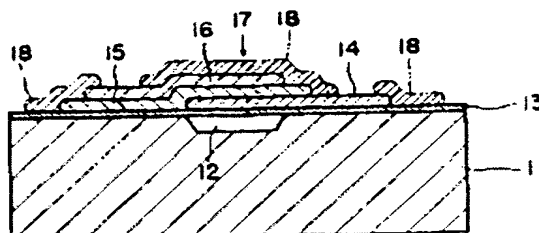
APPLICATION DATE : 14-12-87
APPLICATION NUMBER : 62315797

APPLICANT : VICTOR CO OF JAPAN LTD;

INVENTOR : NOZAKI ITARU;

INT.CL. : H03H 9/17

TITLE : PIEZOELECTRIC THIN FILM
RESONATOR



ABSTRACT : PURPOSE: To obtain a piezoelectric thin film resonator small and easy to process by constituting an insulating film to form an oscillation part on an upper plane in flat shape, and forming a cavity between the insulating film and a substrate.

CONSTITUTION: The cavity 12 is formed by etching on the surface of a silicone substrate 11, and a ZnO of non-orientation is embedded in the substrate. The oscillation part 17 is formed by laminating an SiO film 13, a first electrode 14, a piezoelectric film(C-axis orientation ZnO film)15, and a second electrode 16 sequentially on the upper plane of the ZnO and the entire plane of the substrate 11. Finally, the ZnO in the cavity 12 is removed by dilute hydrochloric acid. The electrodes 14 and 16 are formed by applying vacuum vapor deposition on Al, etc. Also, as the piezoelectric film 15, a piezoelectric material of ZnO, etc., is used. In such a way, the film 13 constitutes the oscillation part 17 as a part of a composite film. By constituting the resonator in such way, it is not required to provide the cavity on the substrate 11 by processing from a back plane, which realizes miniaturization.

COPYRIGHT: (C)1989,JPO&Japio

⑫ 公開特許公報(A) 平1-157108

⑬ Int.Cl.⁴

H 03 H 9/17

識別記号

庁内整理番号

7922-5J

⑭ 公開 平成1年(1989)6月20日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 圧電薄膜共振子

⑯ 特 願 昭62-315797

⑰ 出 願 昭62(1987)12月14日

⑱ 発 明 者 野 崎 格 神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

⑲ 出 願 人 日本ビクター株式会社 神奈川県横浜市神奈川区守屋町3丁目12番地

⑳ 代 理 人 弁理士 佐藤 一雄 外2名

明 細 書

薄膜共振子。

1. 発明の名称

圧電薄膜共振子

2. 特許請求の範囲

1. 基板と、その基板上に形成された絶縁膜と、その絶縁膜上に圧電膜と電極とによって構成された振動部と、前記絶縁膜を挟んで前記振動部と反対側に設けられた空隙と、を備えた圧電薄膜共振子において、前記絶縁膜は平坦状に形成されたものであり、且つ前記空隙は前記絶縁膜と前記基板との間に形成されたものであることを特徴とする圧電薄膜共振子。

2. 前記空隙は、前記基板表面への加工によって形成されたものであることを特徴とする特許請求の範囲第1項に記載の圧電薄膜共振子。

3. 前記空隙は、前記基板と前記絶縁膜との間に設けた膜によって形成されたものであることを特徴とする特許請求の範囲第1項に記載の圧電

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、圧電薄膜共振子に関するものである。

(従来の技術)

近年、材料技術や加工技術の進歩に電子部品の集積化が進み、その電子部品の集積度も大規模なものとなっている。その反面、共振子やフィルタ等の受動部品においては、上記の如き電子部品に比べて、集積化の開発が立ち遅れている。そのため、特に通信機器又はOA機器等の応用分野では、VHFあるいはUHF帯域で使用可能な小型の共振子の開発が望まれている。

従来、このような受動部品として、水晶等の圧電基板の厚み振動を利用した共振子やフィルタが実用化されている。しかしながら、上記圧電基板は、それ自体の機械的強度およびそれ自体を加工する上での制約により、数十 μ m程度にしか薄くすることができない。このような数十 μ m程度の

厚さの圧電基板を用いて構成した共振子やフィルタの上限共振周波数は、数十MHzである。したがって、それよりも高い周波数を必要とする場合には、高次厚み振動を利用することになる。しかしながら、高次厚み振動を利用した場合においては、電気機械結合係数が小さくなる。そのため、周波数帯域幅が狭くなり、実用的ではないという問題がある。

この問題を解決する方法として、複合圧電膜をSi基板上またはGaAs基板上に形成し、その複合圧電膜の厚み共振モードを利用する方法がある。その方法が国内外で研究されている。たとえば、第3図に示された圧電薄膜共振子がある。それは、京都大学の川端らにより“VHF/UHF Composite Resonator on a Silicon Substrate” Jpn. J. Appl. Phys., vol. 22, Suppl. 22-8, pp. 139-141 (1988) として発表されたものである。その第3図において、1はシリコン基板であり、その表面にSiO₂膜3を形成している。この基板の裏

MHz～数GHzの高周波数帯域においても、基本モードであるいは低次モードで動作させることができる。

なお、上記SiO₂膜3及びZnO圧電膜5として、共振周波数温度係数の符号が互いに逆符号であるものを組み合わせて用いれば、零温度係数を得ることができる。

上記圧電薄膜共振子は、このように将来性の高い素子である。しかしながら、半導体基板自体に空孔を設けなければならない。そのため、実際に共振領域として動作する部分の寸法に比して、共振子全体としての寸法が著しく大きくなるという難点、及び半導体基板の裏面から空孔を設ける加工を行なうためには両面露光が必要であるという難点等を有している。これらの難点は、圧電薄膜共振子を、IC化された状態にある外部回路と一体的にオンチップ化しようとする場合に、大きな障害となっている。

この障害を解消することを目的とした圧電薄膜共振子として、半導体基板に裏面から空孔を形成

面を、エチレンジアミン・ピロカチコールを主成分とするエッチング液（以下、EDP液という。）によって異方性エッチングすることにより、空隙2を形成する。その異方性エッチングは、SiO₂膜3の表面に達した時点で深さ方向の進行を停止させる。SiO₂膜3を挟んでこの空隙2と対向するように、そのSiO₂膜3の表面に、第1電極4を形成する。その後、第1電極4上からSiO₂膜3上にかけてZnO圧電膜5を形成する。さらに、ZnO圧電膜5上からSiO₂膜3上にかけて第2電極6を形成する。その第2電極6と第1電極4とはZnO圧電膜5を挟んで対向している。

上記構成の圧電薄膜共振子において、1対の電極4、6にそれぞれ電気信号を印加すると、ZnO圧電膜5の圧電効果により、空隙2上に位置するSiO₂膜3とZnO圧電膜5とからなる複合圧電膜（複合体膜）が振動する。この振動部としての複合体膜は、蒸着等の手段を用いて極めて薄く形成することができる。そのため、100

するための加工を施すことなく、その空隙を形成したのと同様の効果を得るため、振動部だけを基板から浮かせた構造のものがある。第4図はその一例を示すものである。同図の圧電薄膜共振子が第3図のそれと異なる点は、半導体基板1の裏面に空隙を有しないこと、及びSiO₂膜3と半導体基板1との間に空隙9を有することにあり、さらに小さな相違点として、最上面のほとんどをSiO₂膜7で覆ったことにある。

上記圧電薄膜共振子は、次のようにして構成される。即ち、先ず、半導体基板1上の空隙形成予定部分(9)にZnO膜を形成する。このZnO膜(9)を有する半導体基板1上にSiO₂膜3を形成する。このSiO₂膜3上に、第1電極4、圧電膜5、第2電極6及びSiO₂膜7を順次形成する。この後、エッチングにより上記ZnO膜(9)を除去する。これにより、空隙9が形成される。この空隙9上には、各種の膜(3～7)によって構成された振動部8が位置している。

上記構成の圧電薄膜共振子には以下のような難

点がある。即ち、振動部8を半導体基板1から浮かすために空隙9を設けている。この空隙9に起因して、振動部8を構成する各膜(3~7)に大きな段差が生じる。その大きな段差によって、振動部8を形成する各膜のステップカバレッジが悪化して、製品としての信頼性が低下する。また、その大きな段差によって、上記各膜に残留応力が生じ、その応力によって振動部8が変形する。さらに、上記空隙9は、上述したように、最後の工程でZnO膜をエッチングにより除去することによって形成される。そのため、上記ZnO膜を極めて薄いものとして形成した場合には、第1にそのZnO膜にピンホールが存することにより、第2にエッチングが十分に行なわれないことにより、空隙9を薄く、均一なものとして形成するのが困難である。

(発明が解決しようとする問題点)

このように、従来の圧電薄膜共振子には種々の難点があった。即ち、第3図の圧電薄膜共振子には、大型化するという難点及び両面露光しなければ

(作 用)

絶縁膜は平坦状に構成されている。よって、この絶縁膜上に構成される振動部はその絶縁膜に起因する段差を有することはない。このため、振動部を構成する各膜のステップカバレッジの向上、それによる製品の信頼性の向上、及び残留応力の低下による振動部の変形回避等が期待される。また、空隙は絶縁膜と基板との間、即ち基板の表面側に形成される。よって、基板を裏面から加工する必要はない。これにより、加工が容易であると共に製品の超小形化が容易である。

(実施例)

以下、図面を参照して本発明の実施例を説明する。

第1図は、本発明の一実施例の圧電薄膜共振子を示す。この圧電薄膜共振子の製造工程を第1図を参照して説明する。この第1図において、11は面方位(100)のシリコン(Si)基板(半導体基板)である。この基板11の一方の面(表面)にEPD液を用いてエッチングを行ない、空

ばならないという難点があった。また、第4図の圧電薄膜共振子には、空隙によって振動部が大きな段差構造を有することによる難点及びその空隙を薄く、均一なものとして構成するのが困難であるという難点があった。

本発明は、上記難点に鑑みてなされたもので、その目的は、圧電薄膜共振子を、製造のための加工が容易で、製品としての機械的強度及び信頼性が高く、且つ超小形化可能なものとして提供することにある。

(問題点を解決するための手段)

本発明の圧電薄膜共振子は、基板と、その基板上に形成された絶縁膜と、その絶縁膜上に圧電膜と電極とによって構成された振動部と、前記絶縁膜を挟んで前記振動部と反対側に設けられた空隙と、を備えた圧電薄膜共振子において、前記絶縁膜は平坦状に形成されたものであり、且つ前記空隙は前記絶縁膜と前記基板との間に形成されたものであるという構成を有する。

隙12を形成する。そのあと、この空隙12内の全体に、無配向性のZnOをスパッタリングにより埋め込む。そのZnOの上面及び基板11の全面に、SiO₂膜13、第1電極14、圧電膜(c軸配向性ZnO膜)15、第2電極16を順次堆積させて振動部17を形成する。そして、最後に、空隙12内に形成した無配向性のZnOを薄い塩酸で除去し、このZnOが結っていた部分を再び空隙12とする。

上記第1電極14及び第2電極16は、例えば、AlあるいはTi/Au等を材料として、真空蒸着やスパッタリング等によって形成される。また、上記圧電膜15は、所望する共振周波数帯、温度係数及び電気機械結合係数等を考慮して材質が決定され、例えば酸化亜鉛(ZnO)あるいは窒化アルミニウム(AlN)等の圧電材料が使用される。

このように、上記第1図のSiO₂膜13は、複合膜の一部として振動部17を構成している。

それにより、 SiO_2 膜13の厚さは、圧電膜15の材質を考慮し、且つ所望の共振周波数や温度係数の補正範囲等によって決定され、例えば数 μm ～数十 μm の範囲のものとして形成される。

なお、第2電極16の上面に、さらに SiO_2 膜18を、例えば数 μm ～数十 μm の厚さに形成してもよい。この場合、その SiO_2 膜18は、振動部17を構成するとともに、保護膜としても機能する。

上記第1図の実施例によれば以下のような効果が得られる。即ち、半導体基板に設けた空隙をまたいで振動部を形成するようにしたので、半導体基板にその裏面から加工して空隙を設ける必要がない。そのため、製品としての寸法を著しく小さくすることができる。また、裏面加工を行なうとすれば、その加工中に表面を保護する必要がある。しかしながら、裏面加工を行なう必要がないため、表面保護の必要性もなく、これにより製造コストを低減することができる。

第2図は、本発明の異なる実施例の圧電薄膜共

振子を示す。この圧電薄膜共振子が第1図のそれと異なる点は、半導体基板11自体に空隙12を設けることなく、半導体基板11と SiO_2 膜13との間に SiO_2 膜21を設け、その SiO_2 膜21に空隙22を形成した点にある。

上記圧電薄膜共振子の製造工程を第2図を参照して説明する。

第2図に示すように、先ず、シリコン(Si)の半導体基板11上の全面に SiO_2 膜21をスパッタにより形成する。この SiO_2 膜21の一部を緩衝弗酸液($\text{HF} + \text{NH}_4\text{F}$)でエッチングして空隙22を形成する。この後、 SiO_2 膜21の上面及び空隙22の内部に無配向性の ZnO をスパッタにより形成する。その ZnO をリン酸でエッチングする。このエッチングにより SiO_2 膜21上の ZnO は除去され、 ZnO は空隙22の内部に詰った状態に残存する。即ち、 SiO_2 膜21の厚さと空隙22内の ZnO 膜の厚さは同じになっている。次に、基板11の全面

に、上記第1図の場合と同様に、 SiO_2 膜13、第1電極14、圧電膜(c軸配向性の圧電性 ZnO 膜)15、第2電極16及び保護用の SiO_2 膜18を順次堆積させ、振動部17を形成する。そして、最後に、空隙22内に形成した無配向性の ZnO 膜を薄い塩酸で除去し、この ZnO が詰っていた部分を再び空隙22とする。

なお、第2電極16の上に形成した SiO_2 膜18は、主に保護膜として機能している。そのため、 SiO_2 膜18は省略することができ、その SiO_2 膜18を形成しない場合でも形成した場合と同様の効果を達成できる。

以上説明した第2図の実施例では、空隙22を形成するため、薄膜としての SiO_2 膜21をシリコンの基板11上に形成している。しかしながら、上記 SiO_2 膜21に代えて Au/Ti 膜を使用することができる。この場合において、 Au/Ti 膜に空隙22をエッチングによって形成するには、王水およびリン酸をエッチング液として使用する必要がある。この空隙を形成した後の製

造工程及びそれによって得られる圧電薄膜共振子の構成は第2図のものと同様である。当然効果においても同様である。

なお、上記第2図の実施例において、シリコンの半導体基板に代えて、他の材料で作った基板、例えば、各種ガラス基板あるいはセラミック基板を用いることができる。

第2図の実施例によれば、以下のような効果が得られる。即ち、基板にその裏面から加工して空隙を設ける必要がない。これにより、製品の小型化を図ることができる。さらに、基板自体に加工が不要なため、例えばシリコンの基板を使用する場合、異方性エッチングを行なう必要がなく、面方位を任意に選択でき、コストを低減できる。また、基板上の各膜の凹凸を小さくできるため、良好なステップカバレッジが得られ、信頼性の高い圧電薄膜共振子を提供することができる。

(発明の効果)

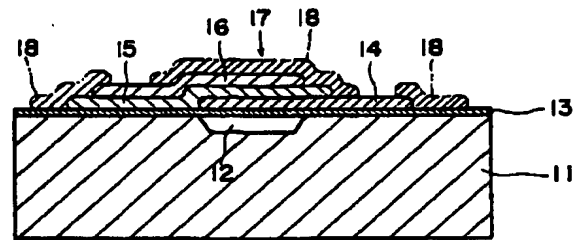
本発明の圧電薄膜共振子によれば、上面に振動部を形成するための絶縁膜を平坦なものとして構

成し、且つ空隙を絶縁膜と基板との間に形成するようにしたので、圧電薄膜共振子を、製造のための加工が容易で、製品としての機械的強度及び信頼性が高く、且つ超小形化が容易なものとして提供することができる。

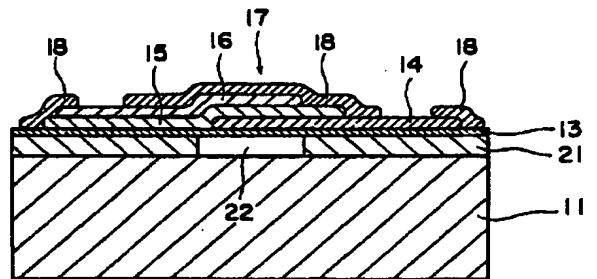
4. 図面の簡単な説明

第1図は本発明の一実施例の断面図、第2図はその異なる実施例の断面図、第3図及び第4図はそれぞれ異なる従来の圧電薄膜共振子の断面図である。

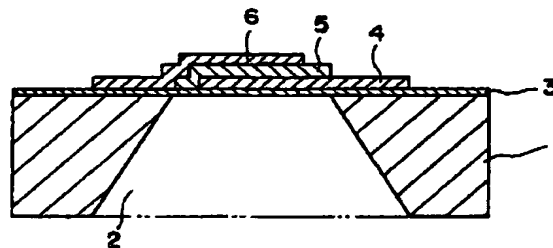
11…基板、12、22…空隙、
13、18、21… SiO_2 膜、14…第1電極、
15…圧電膜、16…第2電極、17…振動部。



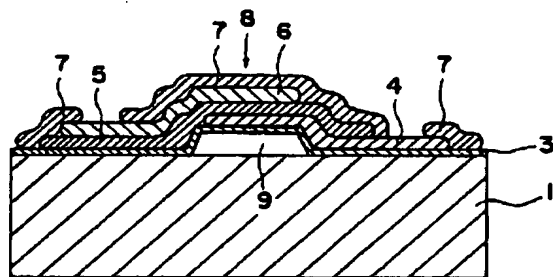
第1図



第2図



第3図



第4図